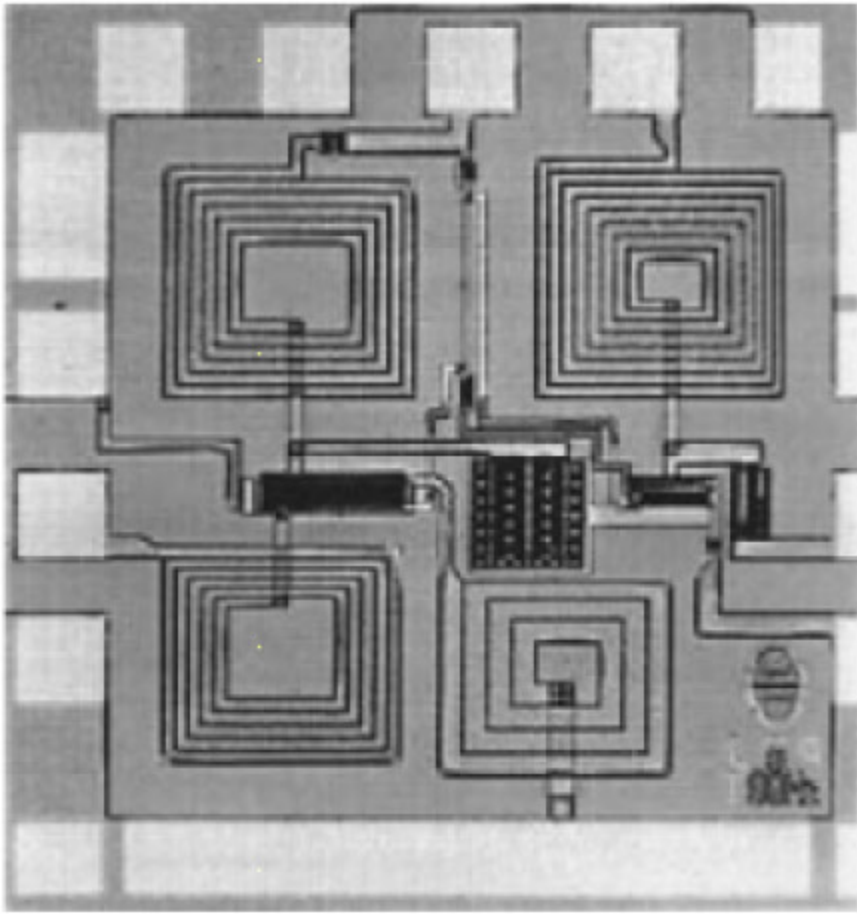


neophodno je posedovati mogućnost izrade integrisanog kalema. Najveći problem koji se odnosi na integrisane ili tzv. monolitske kalemove je nedostatak magnetnog jezgro koje bi trebalo da sadrži magnetni fluks. Kao rezultat, integrisane induktivnosti zauzimaju veliku površinu na čipu, a u isto vreme postoji znatna sprema sa komponentama koje su u njihovoj blizini.

Integrisana induktivnost projektuje se u obliku spirale kako će kasnije biti detaljnije prikazano na Sl. B. 3.12. Ovde ćemo prikazati jedno CMOS integrisano kolo koje sadrži takve induktivnosti. Na Sl. B.2.9 prikazano je kolo u kome, kao što se vidi, induktivnosti zauzimaju neuporedivo veću površinu od ostatka kola. Ukupna površina ovog čipa je $(0.93 \cdot 0.93) \text{ mm}^2$.



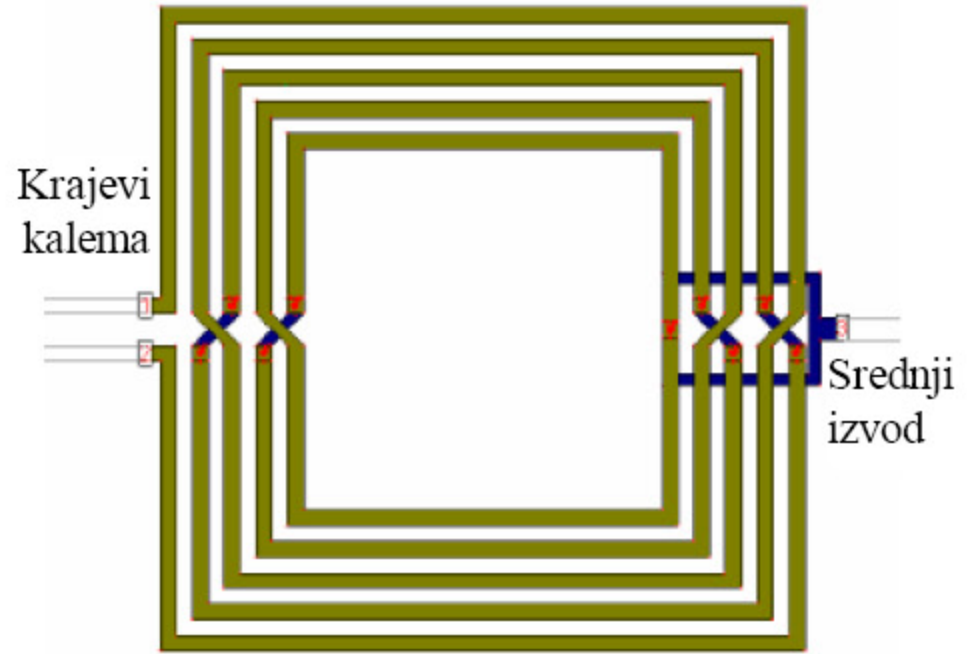
Slika B.2.9 CMOS monolitsko integrisano kolo sa integrisanim kalemovima

Najvažniji parametri jednog integrisanog kalema su njegova induktivnost, Q-faktor, parazitna kapacitivnost prema podlozi (i odgovarajuća rezonantna frekvencija) kao i površina koju zauzima na pločici.

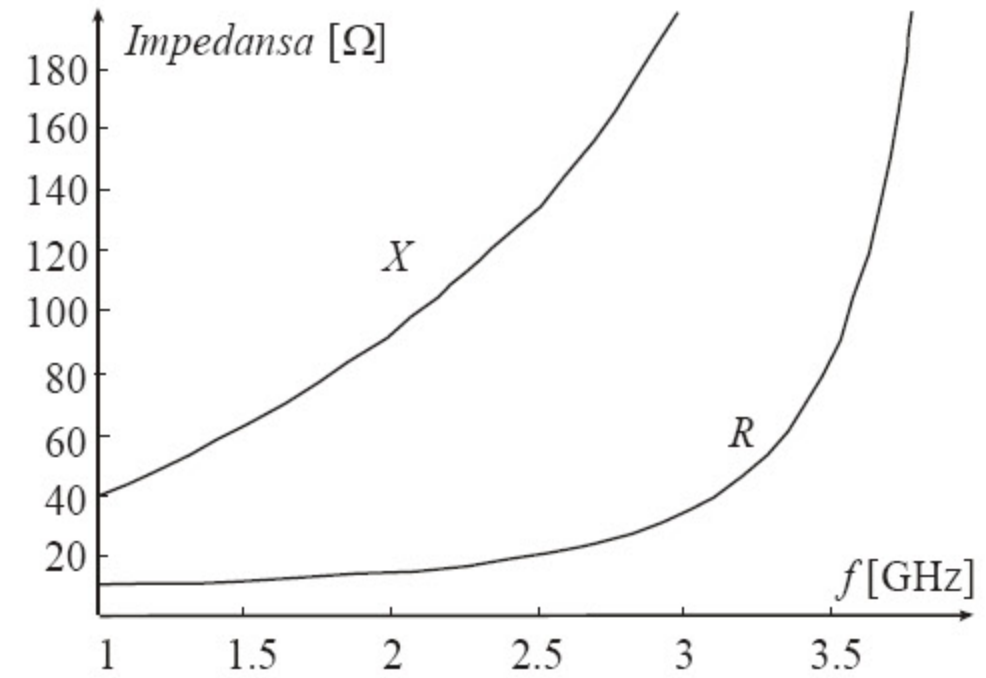
Da bi se postigle vrednosti parametara koje su bliže optimumu, a naročita da bi se smanjila parazitna kapacitivnost, provodnici koji čine spiralu se često upredaju tako da nastaje komponenta prema Sl. B.2.10. Ovde je prikazana komponenta sa pet namotaja koja ima srednji izvod. Namena srednjeg izvoda je da se omogući primena ovog kalema u simetričnim kolima odnosno kolima koja rukuju sa diferencijalnim signalima. Tako nastaje redna veza dva kalema koji imaju izvod na mestu spoja.

Da bi se stekla predstava o svojstvima dobijene komponente na Sl. B.2.11 prikazana je zavisnos realnog (R) i imaginarnog (X) dela impedanse ovog kalema koji je projektovan da ima induktivnost od 6 nH. Na Sl. B.2.12 prikazano je ekvivalentno kolo polovine kalema gledano između jednog od priključaka i srednjeg izvoda. Brojne vrednosti parametara modela

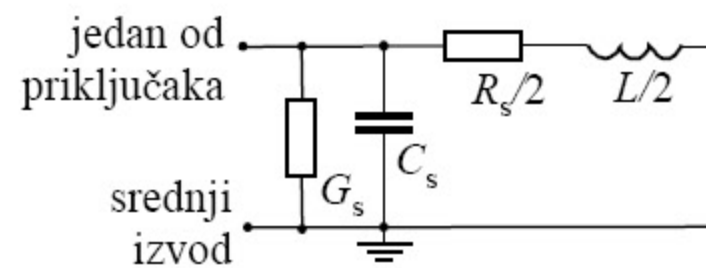
su $L=6 \text{ nH}$, $R_s=9.3 \ \Omega$, $C_s=220 \text{ fF}$ i $G_s=0.2 \text{ mS}$. Vrednost Q faktora je $Q=8.33$ na $f=2.43 \text{ GHz}$. Kada se kalem koristi bez srednjeg izvoda dobijaju se sledeće vrednosti $L=12 \text{ nH}$, $R_s=18.6 \ \Omega$, $Q=7.2$ na $f=2.43 \text{ GHz}$.



Slika B. 2. 10 Pogled odozgo na kalem sa srednjim izvodom



Slika B.2.11 Realni (R) i imaginarni (X) impedanse polovine kalema sa Sl. B.2.10



Slika B.2. 12 Ekvivalentno kolo polovine kalema između jednog od priključaka i srednjeg izvoda

Na kraju ovog pregleda elemenata MOS integrisanih kola pomenimo da najveću kapacitivnost u MOS strukturi čini spoj sa podlogom. Ovaj inverzno polarisani spoj ima veliku površinu tako da je od odlučujućeg uticaja na brzinu rada integrisanih kola sa MOS tranzistorima. U novije vreme se pojavljuju tehnike koje izbacuju Si kao podlogu već koriste izolator. Tako nastaju komponente koje dobijaju naziv SOI od Silicon On Insulator.

Osnovno kod ovih tehnika je to da na izolirajućoj podlozi raste epitaksijalno silicijum koji se kasnije nagrizanjem svodi na usamljeno ostrvo. Na tom sada